

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2001-059191

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

C23F 1/18
C09K 13/00
C09K 13/06
H01L 21/308
H01L 21/3205
H01L 29/786
H01L 21/336

(21)Application number : 2000-001127 (71)Applicant : FURONTEKKU:KK

(22)Date of filing : 06.01.2000 (72)Inventor : JIYO KEITETSU
SEKI HITOSHI

(30)Priority

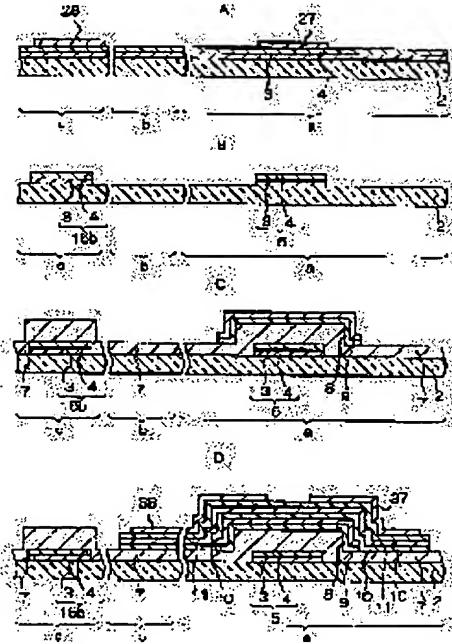
Priority number : 11173431 Priority date : 18.06.1999 Priority country : JP

(54) ETCHING AGENT, PRODUCTION OF SUBSTRATE FOR ELECTRONIC EQUIPMENT USING THE SAME AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an etching agent capable of etching a Cu film by an easy chemical etching method being a dipping method by rest process in the case that a Cu film of low resistance is used as a wiring material, small in the secular change of the etching grade and capable of preventing the occurrence of a pattern thinning phenomenon caused by the dispersion of the side etching amount of the Cu film.

SOLUTION: This etching agent consists of an aq. soln. contg. potassium peroxymonosulfate monohydrogen and hydrofluoric acid. In this method for producing a thin film transistor substrate, on the surface of a laminated film obtd. by successively laminating a Ti film or a Ti alloy 3 and a Cu film 4 on a substrate 2, masks 27 and 28 of prescribed patterns are formed, the laminated film is subjected to etching by using the etching agent having the compsn., and a gate electrode 5 (laminated wiring) 5 and a lower pad layer (laminated wiring) 16b of the prescribed patterns are formed.



LEGAL STATUS

[Date of request for examination] 05.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-59191

(P2001-59191A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl.⁷

C 23 F 1/18
C 09 K 13/00
13/06
H 01 L 21/308
21/3205

国別記号

101

F I

C 23 F 1/18
C 09 K 13/00
13/06
H 01 L 21/308
21/88

テ-コ-ト⁸ (参考)

4 K 0 5 7
5 F 0 3 3
5 F 0 4 3
F 5 F 1 1 0

審査請求 未請求 請求項の数16 O.L. (全 17 頁) 最終頁に統く

(21) 出願番号

特願2000-1127(P2000-1127)

(22) 出願日

平成12年1月6日 (2000.1.6)

(31) 優先権主張番号 特願平11-173431

(32) 優先日 平成11年6月18日 (1999.6.18)

(33) 優先権主張国 日本 (JP)

(71) 出願人 395003523

株式会社フロンティック

宮城県仙台市泉区明通三丁目31番地

(72) 発明者 ▲じょ▼ 垣哲

宮城県仙台市泉区明通三丁目31番地 株式会社フロンティック内

(72) 発明者 関 齊

宮城県仙台市泉区明通三丁目31番地 株式会社フロンティック内

(74) 代理人 100064908

弁理士 志賀 正武 (外7名)

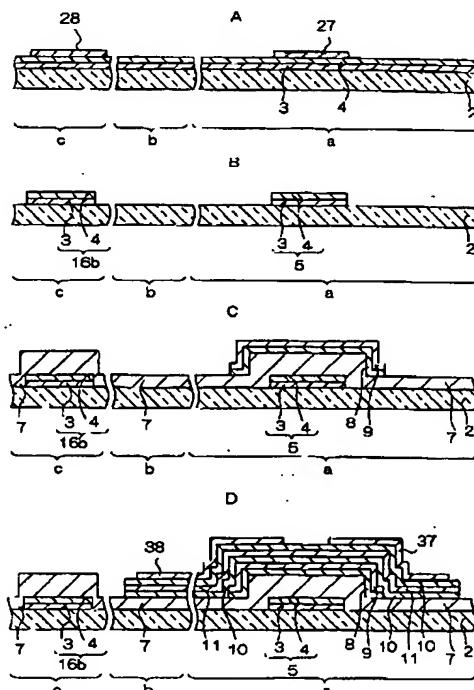
最終頁に統く

(54) 【発明の名称】 エッティング剤及びこれを用いた電子機器用基板の製造方法と電子機器

(57) 【要約】

【課題】 低抵抗のCu膜を配線材料として用いる場合に、静止による浸漬法という簡単なケミカルエッティング法でCu膜をエッティングでき、しかもエッティングレートの経時変化が少なく、Cu膜のサイドエッティング量のバラツキに起因するパターン細り現象が生じるのを防止できるエッティング剤の提供。

【解決手段】 ペルオキソ硫酸一水素カリウムとフッ酸を含有する水溶液からなるエッティング剤。基体2上にTi膜又はTi合金3とCu膜4とを順次成膜した積層膜の表面に所定パターンのマスク27、28を形成し、上記の構成のエッティング剤を用いて上記積層膜をエッティングして上記所定パターンのゲート電極5(積層配線)、下部パッド層(積層配線)16bを形成する薄膜トランジスタ基板の製造方法。



【特許請求の範囲】

【請求項1】 ベルオキソ硫酸一水素カリウムを含有する水溶液からなることを特徴とする銅のエッチング剤。

【請求項2】 前記水溶液は酢酸を含有することを特徴とする請求項1記載の銅のエッチング剤。

【請求項3】 前記ベルオキソ硫酸一水素カリウムの濃度が0.08乃至2.0mol/lであることを特徴とする請求項1記載の銅のエッチング剤。

【請求項4】 ベルオキソ硫酸一水素カリウムとフッ酸とを含有する水溶液からなることを特徴とするチタン膜と銅膜との積層膜のエッチング剤。

【請求項5】 ベルオキソ硫酸一水素カリウムとリン酸と硝酸とを含有する水溶液からなることを特徴とするモリブデン膜と銅膜との積層膜のエッチング剤。

【請求項6】 ベルオキソ硫酸一水素カリウムと塩酸とを含有する水溶液からなることを特徴とするクロム膜と銅膜との積層膜のエッチング剤。

【請求項7】 ベルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液からなることを特徴とするチタン膜と銅膜との積層膜のエッチング剤。

【請求項8】 ベルオキソ硫酸塩とフッ化物とを含有する水溶液からなることを特徴とするチタン膜と銅膜の積層膜のエッチング剤。

【請求項9】 前記ベルオキソ硫酸塩は、 KHSO_5 、 NaHSO_5 、 $\text{K}_2\text{S}_2\text{O}_8$ 、 $\text{Na}_2\text{S}_2\text{O}_8$ 、 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ のうちから選択されるいずれか一種以上のものであることを特徴とする請求項7又は8記載のチタン膜と銅膜の積層膜のエッチング剤。

【請求項10】 前記塩化物は、アルカリ金属の塩化物もしくは塩化アンモニウムであることを特徴とする請求項7記載のチタン膜と銅膜の積層膜のエッチング剤。

【請求項11】 前記フッ化物は、アルカリ金属のフッ化物もしくはフッ化アンモニウムであることを特徴とする請求項8記載のチタン膜と銅膜の積層膜のエッチング剤。

【請求項12】 基体上に銅膜を成膜し、該銅膜の表面に所定パターンのマスクを形成し、請求項1記載のエッチング剤を用いて前記銅膜をエッチングして前記所定パターンの銅配線を形成することを特徴とする電子機器用基板の製造方法。

【請求項13】 基体上にチタン膜又はチタン合金膜と銅膜とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、請求項4又は7又は8記載のエッチング剤を用いて前記チタン膜又はチタン合金膜と銅膜との積層膜をエッチングして前記所定パターンの積層配線を形成することを特徴とする電子機器用基板の製造方法。

【請求項14】 基体上に少なくとも第1の金属層と第1の絶縁層と半導体層と第2の金属層と第2の絶縁層とを有する電子機器用基板の製造方法であって、前記第1

と第2の金属層のうち少なくとも一方を形成するに際して、チタン膜又はチタン合金膜と銅膜とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、請求項7又は8記載のエッチング剤を用いて前記チタン膜又はチタン合金膜と銅膜との積層膜をエッチングして前記所定パターンの積層配線を形成することを特徴とする電子機器用基板の製造方法。

【請求項15】 前記半導体層をポリシリコンから形成することを特徴とする請求項14記載の電子機器用基板の製造方法。

【請求項16】 前記請求項12乃至14のいずれかに記載の電子機器用基板の製造方法により製造した基板を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は低抵抗の銅を用いた配線を作製するためのエッチング剤およびこれを用いた電子機器用基板の製造方法と電子機器に関する。

【0002】

【従来の技術】電子機器の一種として薄膜トランジスタ型液晶表示装置を挙げることができる。図9は、一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部を示す概略図である。この薄膜トランジスタ82は、基板83上にA1又はA1合金などの導電材料からなるゲート電極84が設けられ、このゲート電極84を覆うようにゲート絶縁膜85が設けられている。ゲート電極84上方のゲート絶縁膜85上にアモルファスシリコン（以下、a-Siと略記する）からなる半導体能動膜86が設けられ、リン等のn型不純物を含むアモルファスシリコン（以下、n+型a-Siと略記する）からなるオーミックコンタクト層87を介して半導体能動膜86上からゲート絶縁膜85上にわたってA1又はA1合金などの導電材料からなるソース電極88およびドレイン電極89が設けられている。そして、これらソース電極88、ドレイン電極89、ゲート電極84等で構成される薄膜トランジスタ82を覆うパッシベーション膜90が設けられ、ドレイン電極89上のパッシベーション膜90にコンタクトホール91が設けられている。さらにこのコンタクトホール91を通じてドレイン電極89と電気的に接続されるインジウム酸化錫（以下、ITOと略記する）等の透明電極層からなる画素電極92が設けられている。

【0003】また、図9左側の部分は表示領域外に位置するゲート配線端部のゲート端子パッド部93の断面構造を示している。基板83上のA1又はA1合金などのゲート配線材料からなる下部パッド層94上にゲート絶縁膜85およびパッシベーション膜90を貫通するコンタクトホール95が設けられ、このコンタクトホール95を通じて下部パッド層94と電気的に接続される透明電極層からなる上部パッド層96が設けられている。

尚、ソース配線端部においても類似の構造となっている。

【0004】近年、液晶表示装置の高速化等に伴い、ゲート電極、ゲート配線、ソース電極、ドレイン電極、ソース配線、ドレイン配線などの電極や配線の抵抗による信号伝達の遅延の問題が顕在化されており、このような問題を解決するために配線材料としてAlまたはAl合金より低抵抗の銅の使用が検討されている。なお、ここでは、ゲート電極等の電極を構成する材料も配線材料という。銅配線は、AlまたはAl合金から配線を構成する場合と同様に通常のスパッタ法によりCu膜を形成後、このCu膜の表面にフォトリソグラフィーにより所定のパターンのマスクパターンを形成した後、エッチング剤を用いて上記Cu膜にエッチングを施し、配線形成位置以外の場所のCu膜を除去することにより形成できる。

【0005】

【発明が解決しようとする課題】ところで、Cuのエッチング剤としては、PAN系(リン酸-酢酸-硝酸系)エッチング剤、過硫酸アンモニウム、酢酸-過酸化水素水系のエッチング剤が知られており、微細加工用エッチング剤として多用されている。しかしながら図10のAに示すような基板83a上に成膜した配線形成用のCu膜84aの表面にマスクパターン84bを形成したものを、上記の過硫酸アンモニウムあるいはPAN系のエッチング剤に静止状態で浸漬し、エッチングを施すと、図10のBに示すようにマスクパターン84bの周辺のCu膜84aだけが異常に速くエッチングされてしまい、Cu膜84aの側面の中央部分のエッチング量が他の部分のエッチング量よりも増加し、図10のCに示すように得られる配線84cの線幅がマスクパターン84bの幅より狭くなってしまうというパターン細り現象が生じるという問題があった。また、エッチング剤として酢酸-過酸化水素水系や過硫酸アンモニウムを用いた場合、エッチングレートの経時変化が激しいため、Cu膜の浸漬時間のコントロールが難しく、所望の線幅のCu配線を得るのが困難であった。なお、酢酸-過酸化水素水系を用いる場合は、上記のようなパターン細り現象は生じない。

【0006】本発明は、上記事情に鑑みてなされたもので、低抵抗のCu膜を配線材料として用いる場合に、静止による浸漬法という簡易なケミカルエッチング法でCu膜をエッチングでき、しかもエッチングレートの経時変化が少なく、Cu膜の側面のエッチング量(サイドエッチング量)にバラツキが生じることに起因するパターン細り現象が生じるのを防止できるエッチング剤を提供することにある。

【0007】

【課題を解決するための手段】本発明は、ペルオキソ硫酸-水素カリウムを含有する水溶液からなることを特

徴とする銅のエッチング剤を上記課題の解決手段とした。かかる構成のエッチング剤によれば、静止による浸漬法という簡易なケミカルエッチング法でCu膜をエッチングでき、しかもエッチングレートの経時変化がなく、Cu膜のサイドエッチング量が均一であるので、所望の線幅の銅配線を容易に得ることができる。上記銅のエッチング剤は、酢酸を含有していてもよい。かかるエッチング剤によれば、エッチングレートの経時変化がなく、Cu膜のサイドエッチング量を均一にできるうえ銅膜へのぬれ性も向上するので、微細な銅配線を形成する場合でも、寸法精度が優れた銅配線を形成できる。

【0008】上記エッチング剤中のペルオキソ硫酸-水素カリウムの濃度は、0.08乃至2.0mol/lであることが好ましく、より好ましくは0.1乃至1.0mol/lである。ペルオキソ硫酸-水素カリウムの濃度が0.08mol/l未満であると、マスクパターンの周辺の銅膜だけが異常に速くエッチングされてしまい、得られる銅配線の線幅がマスクパターンの幅より狭くなってしまう。ペルオキソ硫酸-水素カリウムの濃度が2.0mol/lを超えると、エッチングレートが速くなり過ぎて、得られる銅配線の線幅のコントロールが困難になってしまう。

【0009】本発明のチタン膜と銅膜との積層膜のエッチング剤は、ペルオキソ硫酸-水素カリウムとフッ酸とを含有する水溶液からなることを特徴とする。かかるエッチング剤によれば、積層膜を構成する銅膜のサイドエッチング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッチング法で上記積層膜を構成するチタン膜又はチタン合金膜と銅膜の両方を一括エッチングできる。本発明のモリブデン膜と銅膜との積層膜のエッチング剤は、ペルオキソ硫酸-水素カリウムとリン酸と硝酸とを含有する水溶液からなることを特徴とする。かかるエッチング剤によれば、積層膜を構成する銅膜のサイドエッチング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッチング法で上記積層膜を構成するモリブデン膜又はモリブデン合金膜と銅膜の両方を一括エッチングできる。本発明のクロム膜と銅膜との積層膜のエッチング剤は、ペルオキソ硫酸-水素カリウムと塩酸とを含有する水溶液からなることを特徴とする。かかるエッチング剤によれば、積層膜を構成する銅膜のサイドエッチング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッチング法で上記積層膜を構成するクロム膜又はクロム合金膜と銅膜の両方を一括エッチングできる。

【0010】本発明のチタン膜と銅膜との積層膜のエッチング剤は、ペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液からなることを特徴とするものであってもよい。かかるエッチング剤によれば、チタン膜又はチタン合金膜と銅膜との積層膜のエッチング剤

として用いると、上記積層膜をエッティング残査なく一括エッティングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できる。ペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液からなるエッティング剤中のC₁濃度(C₁-イオン濃度)が大きくなると、エッティングレートを大きくでき、エッティング残査を少なくできるが、C₁濃度があまり大きくなりすぎると、エッティングレートが早くなりすぎて制御しにくくなるため、C₁濃度の上限としては、10%程度とすることが好ましい。

【0011】本発明のチタン膜と銅膜の積層膜のエッティング剤は、ペルオキソ硫酸塩とフッ化物とを含有する水溶液からなるものであってもよい。かかるエッティング剤によれば、フッ化物に含まれるフッ素が水溶液中にF⁻イオンとして存在することとなるので、エッティング剤中にHFが含まれていなくても、チタン膜又はチタン合金膜と銅膜との積層膜をエッティング残査なく一括エッティングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できる。このエッティング剤には、フッ酸が含まれていてもよい。

【0012】上記ペルオキソ硫酸塩としては、KHSO₅、NaHSO₅、K₂S₂O₈、Na₂S₂O₈、(NH₄)₂S₂O₈のうちから選択されるいずれか一種以上のものが用いられる。上記塩化物は、アルカリ金属の塩化物もしくは塩化アンモニウムが用いられ、具体例としてはKC₁、NaC₁、NH₄C₁などが用いられる。上記フッ化物としては、アルカリ金属のフッ化物もしくはフッ化アンモニウムが用いられ、具体例としてはKF、NaF、NH₄Fなどが用いられる。エッティング剤中の陽イオンを一種類にするために、好ましいペルオキソ硫酸塩と塩化物の組み合わせとしては、例えば、KHSO₅とKC₁、(NH₄)₂S₂O₈とNH₄C₁などを挙げることができる。また、好ましいペルオキソ硫酸塩とフッ化物の組み合わせとしては、例えば、KHSO₅とKF、(NH₄)₂S₂O₈とNH₄Fなどを挙げることができる。

【0013】本発明の電子機器用基板の製造方法は、基体上に銅膜を成膜し、該銅膜の表面に所定パターンのマスクを形成し、ペルオキソ硫酸一水素カリウムを含有する上記のいずれかの構成の本発明の銅のエッティング剤を用いて上記銅膜をエッティングして上記所定パターンの銅配線を形成することを特徴とする。かかる構成の電子機器用基板の製造方法によれば、静止による浸漬法という簡易なケミカルエッティング法でCu膜をエッティングでき、しかもエッティングレートの経時変化が少なく、Cu膜の側面のエッティング量(サイドエッティング量)が均一で、所望の線幅の銅配線を形成できるので、歩留まりが良好であり、製造工程が簡略で、製造効率を向上できる。従って、かかる構成の本発明の電子機器用基板の製

造方法によれば、歩留まりの向上によるコストが低い電子機器用基板を得ることができる。

【0014】本発明の電子機器用基板の製造方法は、基体上にチタン膜又はチタン合金膜と銅膜とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、上記のいずれかの構成の本発明のチタン膜と銅膜とのエッティング剤を用いて上記チタン膜と銅膜との積層膜をエッティングして上記所定パターンの積層配線を形成することを特徴とする。かかる構成の電子機器用基板の製造方法によれば、上記積層膜を構成する銅膜のサイドエッティング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッティング法で上記積層膜を構成するチタン膜又はチタン合金膜と銅膜の両方を一括エッティングできるので、歩留まりが良好であり、製造工程を短縮できる。従って、かかる構成の本発明の電子機器用基板の製造方法によれば、歩留まりの向上と製造効率の向上によるコストが低い電子機器用基板を得ることができる。また、エッティング剤として、特に、ペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液、あるいは、ペルオキソ硫酸塩とフッ化物とを含有する水溶液を用いる場合は、チタン膜又はチタン合金膜と銅膜との積層膜をエッティング残査なく一括エッティングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できる。

【0015】また、本発明の電子機器用基板の製造方法は、基体上に少なくとも第1の金属層と第1の絶縁層と半導体層と第2の金属層と第2の絶縁層とを有する電子機器用基板の製造方法であって、上記第1と第2の金属層のうち少なくとも一方を形成するに際して、チタン膜又はチタン合金膜と銅膜とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、ペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液、あるいはペルオキソ硫酸塩とフッ化物とを含有する水溶液からなるエッティング剤を用いて上記チタン膜又はチタン合金膜と銅膜との積層膜をエッティングして上記所定パターンの積層配線を形成することを特徴とする。かかる構成の電子機器用基板の製造方法によれば、チタン膜又はチタン合金膜と銅膜との積層膜をエッティング残査なく一括エッティングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できる。上記電子機器用基板の製造方法において、上記半導体層をポリシリコンから形成するようにしてもよい。

【0016】本発明の電子機器は、上記のいずれかの構成の電子機器用基板の製造方法により製造した基板を有することを特徴とする。かかる構成の電子機器によれば、低抵抗配線として銅膜からなる銅配線あるいは銅膜を有する積層配線を用いた電子機器用基板が備えられているので、配線抵抗に起因する信号電圧低下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細

くなる高詳細な表示に最適な表示装置等を容易に実現できるという利点がある。

【0017】

【発明の実施の形態】以下、図面により本発明について詳細に説明するが、本発明はこれらの実施形態例のみに限定されるものではない。

(第一実施形態) 図3は、本発明の電子機器用基板の製造方法を液晶表示装置に備えられる薄膜トランジスタ基板の製造方法(第一実施形態の薄膜トランジスタ基板の製造方法)に適用して製造された薄膜トランジスタ基板の例を示す部分断面図である。符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。なおこれら3つの部分は、この薄膜トランジスタ基板1が備えられる実際の液晶表示装置においては離れた箇所にあり、本来断面図を同時に示せるものではないが、図示の都合上、近接させて図示する。

【0018】まず、薄膜トランジスタ部aの部分について説明する。薄膜トランジスタ部aには、基板(基体)2上に膜厚50乃至100nm程度のTi膜又はTi合金膜3と膜厚100乃至200nm程度のCu膜4からなるゲート電極5が設けられている。その上にゲート絶縁膜7が設けられ、このゲート絶縁膜7上にアモルファスシリコン(a-Si)からなる半導体膜8が設けられ、さらにこの半導体膜8上にn⁺型a-Si層9が設けられ、その上にソース電極12およびドレイン電極14が設けられている。ソース電極12、ドレイン電極14は、膜厚50乃至100nm程度のTi膜又はTi合金膜10と、膜厚100乃至200nm程度のCu膜11と、膜厚50乃至100nm程度のTi膜又はTi合金膜10からなるものである。

【0019】また、ソース電極12やドレイン電極14の上方にこれらを覆うパッシベーション膜17(絶縁膜)が形成され、このパッシベーション膜17に、Cu膜11の上側に設けられたTi膜又はTi合金膜10に達するコンタクトホール18が形成されている。ここで、パッシベーション膜17の例としては、a(アモルファス)-SiN_x:H、a-SiN_x、a-SiO₂:H、SiO₂等を挙げることができる。そして、コンタクトホール18の内壁面および底面に沿って画素電極となるITO層19が形成されている。このコンタクトホール18を通じてドレイン電極14とITO層19(画素電極)が電気的に接続されている。

【0020】次に、ソース配線の端子部bに関しては、ゲート絶縁膜7上にTi膜又はTi合金膜10とCu膜11とTi膜又はTi合金膜10とからなる下部パッド層16aが形成され、その上にはパッシベーション膜17が形成され、A1膜又はA1合金膜11の上側に設けられたTi膜又はTi合金膜10に達するコンタクトホ

ール20が形成されている。そして、コンタクトホール20の内壁面および底面に沿ってITOからなる上部パッド層21が形成されている。このコンタクトホール20を通じて下部パッド層16aと上部パッド層21が電気的に接続されている。

【0021】次に、ゲート配線の端子部cに関しては、基板2上にTi膜又はTi合金膜3と、Cu膜4からなる下部パッド層16bが形成され、その上にはゲート絶縁膜7が形成され、さらにこの上にパッシベーション膜17が形成され、Cu膜4に達するコンタクトホール22が形成されている。そして、コンタクトホール22の内壁面および底面に沿ってITOからなる上部パッド層23が形成されている。このコンタクトホール22を通じて下部パッド層16bと上部パッド層23が電気的に接続されている。

【0022】次に、本発明の第一実施形態の薄膜トランジスタ基板の製造方法を図1乃至図2を用いて説明する。図1乃至図2中、符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。まず、図1のAに示すように基板2上の全体にわたってスパッタ法を用いてTi膜又はTi合金膜3と、Cu膜4とを順に成膜して積層膜を形成する。ついで、薄膜トランジスタ部aに関しては上記積層膜を構成するCu膜4上にフォトリソグラフィーにより所定パターンのマスクパターン27を形成した後、ペルオキソ硫酸一水素カリウム(KHSO₅)とフッ酸とを含有する水溶液からなるエッチング剤を用いて上記積層膜に一括エッチングを施し、図1のBに示すようなTi膜又はTi合金膜3とCu膜4とからなるゲート電極5を形成する。ここで用いたエッチング剤中のペルオキソ硫酸一水素カリウムの濃度は、0.08乃至2.0mol/1であることが好ましい。また、上記エッチング剤中のペルオキソ硫酸一水素カリウムに対するフッ酸の濃度が0.05乃至2.0mol/1の範囲内になるように調整されていることが、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできる点で好ましい。また、上記エッチング剤は、酢酸を含有していることが積層膜へのぬれ性を向上できる点で好ましく、上記エッチング剤中のペルオキソ硫酸一水素カリウムに対する酢酸の重量比が1.0乃至7.5wt%の範囲内になるように調整されていることが好ましい。

【0023】一方、ゲート配線の端子部cに関しては上記積層膜を構成するCu膜4上にフォトリソグラフィーにより所定パターンのマスクパターン28を形成した後、先に用いたものと同様のエッチング剤を用いて上記積層膜に一括エッチングを施して、図1のBに示すようなTi膜又はTi合金膜3とCu膜4とからなる下部パッド層16bを形成する。このようにすると、上記積層

膜を構成するCu膜4のサイドエッティング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッティング法で上記Ti膜又はTi合金膜3とCu膜4の両方を同時にエッティングできる。

【0024】次に、基板2の上面全体にCVD法を用いてゲート絶縁膜7を形成する。ついで、薄膜トランジスタ部aに関しては、半導体層8、n⁺型a-Si層9を形成した後、図1のCに示すようにTFTのチャネル部となるゲート電極5の上方部分を残すように半導体層8、n⁺型a-Si層9をエッティングする。そして、薄膜トランジスタ部a及びソース配線の端子部bに関しては、図1のDに示すように、Ti膜又はTi合金膜10と、Cu膜11と、Ti膜又はTi合金膜10を順に成膜して積層膜を形成する。

【0025】次に、薄膜トランジスタ部aに関しては、TFTのチャネル部となるゲート電極5の上方の上記積層膜のTi膜又はTi合金膜10上にフォトリソグラフィーにより所定パターンのマスクパターン37を形成した後、先に用いたものと同様のエッティング剤を用いて上記積層膜に一括エッティングを施して、図2のAに示すようなTi膜又はTi合金膜10とCu膜11とTi膜又はTi合金膜10とからなるソース電極12と、ドレン電極14を形成する。一方、ソース配線の端子部bに関しては上記積層膜のTi膜又はTi合金膜10上にフォトリソグラフィーにより所定パターンのマスクパターン38を行った後、先の用いたものと同様のエッティング剤を用いて上記積層膜に一括エッティングを施して、図2のAに示すようなTi膜又はTi合金膜10とCu膜11とTi膜又はTi合金膜10とからなる下部パッド層16aを形成する。このようにすると、上記積層膜を構成するCu膜10のサイドエッティング量を均一とすることができますうえ、静止による浸漬法という簡易なケミカルエッティング法で上記Cu膜11とこれの上下のTi膜又はTi合金膜10を同時にエッティングできる。その後、n⁺型a-Si層9を乾式法あるいは乾式法と湿式法との併用によりエッティングしてチャネル24を形成する。

【0026】次に、薄膜トランジスタ部a、ソース配線の端子部b及びゲート配線の端子部cに関しては、Ti膜又はTi合金膜3、10上にパッシベーション膜17を形成する。ついで、薄膜トランジスタ部aに関しては、図2のBに示すように、パッシベーション膜17を乾式法あるいは乾式法と湿式法との併用によりエッティングしてコンタクトホール18を形成した後、ITO層を全面に形成した後、パターニングすることにより、図3に示すように、コンタクトホール18の底面および内壁面、パッシベーション膜17の上面にかけてITO層19を形成する。一方、ソース配線の端子部b、ゲート配線の端子部cについても同様でパッシベーション膜17を乾式法あるいは乾式法と湿式法との併用によりエッ

ティングしてコンタクトホール20、22を形成（ただし、ゲート配線端子部cではパッシベーション膜17の他、さらにゲート絶縁膜7もエッティングしてコンタクトホール22を形成する）した後、ITO層を全面に形成した後、パターニングすることにより、図3に示すように、コンタクトホール20、22の底面および内壁面、パッシベーション膜17の上面にかけて上部パッド層21、23を形成する。このような手順で、図3に示すような薄膜トランジスタ基板1を製造することができる。

【0027】第一実施形態の薄膜トランジスタ基板の製造方法においては、Ti膜又はTi合金膜3とCu膜4とを順に成膜した積層膜や、Cu膜11の上下にTi膜又はTi合金膜10を成膜した積層膜をエッティングして所定パターンのゲート電極5、ソース電極12、ドレン電極14、下部パッド層16a、16bを形成する際に、エッティング剤としてペルオキソ硫酸一水素カリウム(KHSO₅)とフッ酸とを含有する水溶液からなるものを用いることにより、上記積層膜を構成する銅膜4、11のサイドエッティング量を均一とすることができますうえ、静止による浸漬法という簡易なケミカルエッティング法で上記積層膜を構成するTi膜又はTi合金膜3と銅膜4の両方を一括エッティングでき、また、上記積層膜が三層構造である場合は、Cu膜11とこれの上下のTi膜又はTi合金膜10を同時にエッティングできるので、歩留まりが良好であり、製造工程を短縮できる。従って、かかる構成の第一実施形態の薄膜トランジスタ基板の製造方法によれば、歩留まりの向上と製造効率の向上によるコストが低い薄膜トランジスタ基板を得ることができる。

【0028】また、銅膜の下層にTi膜あるいはTi合金膜を設けた積層膜を用いるので、上記積層膜の下側の隣接膜から元素が拡散してきても上記Ti膜あるいはTi合金膜により積層膜への元素の拡散が阻害されるので、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止でき、例えば、上記基板2がガラス基板である場合に、上記ゲート電極5や下部パッド層16b形成用の銅膜4にガラス基板中のSiが入りこむことを防止できるので、上記銅膜4にSiが入り込むことに起因する配線抵抗の上昇を防止できる。

【0029】また、銅膜11の上層にTi膜又はTi合金膜10を設けた積層膜を用いるので、空気中の水分や酸素に対する耐酸化性ならびにレジスト剥離液などに対する耐食性を向上できるので、ソース電極12、ドレン電極14、下部パッド層16aが損傷を受けにくく、これら電極12、14や下部パッド層16aが下地から剥離するのを防止できるうえ断線不良の発生を防止できる。さらにまた、上記Ti膜又はTi合金膜10により銅膜11のCu原子が隣接膜に拡散するのを阻害できるので、銅膜11からのCu原子の拡散に起因する絶縁耐圧不良も防止できるうえ、半導体能動膜の特性の劣化を

防止できる。また、積層膜の上側の隣接膜から元素が拡散してきてもTi膜又はTi合金膜10により電極12、14や下部パッド層16aへの元素の拡散が阻害されるので、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止できる。

【0030】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、例えばCu膜、Ti膜又はTi合金膜、パッシベーション膜等の膜厚や、形状等について、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。また、上記の実施の形態においては、ゲート電極5、下部パッド層16bをTi膜又はTi合金膜3とCu膜4との積層膜を一括エッチングして形成する場合について説明したが、Cu膜の上下にTi膜又はTi合金膜を形成した三層構造の積層膜を一括エッチングして形成してもよい。また、ソース電極12、ドレイン電極14、下部パッド層16aをCu膜11の上下にTi膜又はTi合金膜10を形成した三層構造の積層膜を一括エッチングして形成する場合について説明したが、Ti膜又はTi合金膜上にCu膜を成膜した二層構造の積層膜を一括エッチングして形成してもよい。また、上記の実施の形態においては、上記積層膜のエッチング剤としてペルオキソ硫酸一水素カリウムとフッ酸とを含有する水溶液からなるものを用いる場合について説明したが、ペルオキソ硫酸一水素カリウムを含有する水溶液からなるエッチング剤を用いて上記積層膜をエッチングすると、Cu膜のみをエッチングする選択エッチングを施すことができ、その場合、Cu膜のエッチング前あるいはエッチング後にTi膜またはTi合金膜用のエッチング剤を用いてエッチング処理を施してもよい。

【0031】また、Ti膜又はTi合金膜とCu膜とからなる積層膜のエッチング剤としては、上記のペルオキソ硫酸一水素カリウムとフッ酸とを含有する水溶液に代えてペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液あるいはペルオキソ硫酸塩とフッ化物とを含有する水溶液を用いてもよい。このようなエッチング剤を用いると、上記積層膜をエッチング残査なく一括エッチングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できるという利点がある。

【0032】(第二実施形態) 次に、本発明の第二実施形態の薄膜トランジスタ基板の製造方法を説明する。第二実施形態の薄膜トランジスタ基板の製造方法が、上述の第一実施形態の薄膜トランジスタ基板の製造方法と異なるところは、ゲート電極5や下部パッド層16b形成用の積層膜としてMo膜又はMo合金膜とCu膜との積層膜を形成し、また、ソース電極12やドレイン電極14や下部パッド層16a形成用の積層膜としてCr膜又はCr合金膜とCu膜との積層膜を形成し、これら積層膜のエッチング剤としてペルオキソ硫酸一水素カリウムと塩酸とを含有する水溶液からなるものを用いる点である。また、上記エッチング剤中のペルオキソ硫酸一水素カリウムに対する塩酸の濃度が4乃至11mol/1の範囲内になるように調整されていることが、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできる点で好ましい。

水素カリウムとリン酸と硝酸とを含有する水溶液からなるものを用いる点である。また、上記エッチング剤中のペルオキソ硫酸一水素カリウムに対するリン酸の濃度が0.8乃至8mol/1の範囲内、また、ペルオキソ硫酸一水素カリウムに対する硝酸の濃度が0.1乃至1.0mol/1の範囲内になるように調整されていることが、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできる点で好ましい。

【0033】第二実施形態の薄膜トランジスタ基板の製造方法においては、Mo膜又はMo合金膜とCu膜とを順に成膜した積層膜や、Cu膜の上下にMo膜又はMo合金膜を成膜した積層膜をエッチングして所定パターンのゲート電極5、ソース電極12、ドレイン電極14、下部パッド層16a、16bを形成する際に、エッチング剤としてペルオキソ硫酸一水素カリウムとリン酸と硝酸とを含有する水溶液からなるものを用いることにより、各積層膜を構成する銅膜のサイドエッチング量を均一とすることができるうえ、静止による浸漬法という簡易なケミカルエッチング法で上記積層膜を構成するMo膜又はMo合金膜と銅膜の両方を一括エッチングでき、また、上記積層膜が三層構造である場合は、Mo膜とこれの上下のMo膜又はMo合金膜を同時にエッチングできるので、歩留まりが良好であり、製造工程を短縮できる。

【0034】(第三実施形態) 次に、本発明の第三実施形態の薄膜トランジスタ基板の製造方法を説明する。第三実施形態の薄膜トランジスタ基板の製造方法が、上述の第一実施形態の薄膜トランジスタ基板の製造方法と異なるところは、ゲート電極5や下部パッド層16b形成用の積層膜としてCr膜又はCr合金膜とCu膜との積層膜を形成し、また、ソース電極12やドレイン電極14や下部パッド層16a形成用の積層膜としてCr膜又はCr合金膜とCu膜との積層膜を形成し、これら積層膜のエッチング剤としてペルオキソ硫酸一水素カリウムと塩酸とを含有する水溶液からなるものを用いる点である。また、上記エッチング剤中のペルオキソ硫酸一水素カリウムに対する塩酸の濃度が4乃至11mol/1の範囲内になるように調整されていることが、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできる点で好ましい。このエッチング剤は、上記積層膜をエッチングする際に、上記積層膜が形成された基板2を該エッチング剤中に浸漬すると、マスクパターンによってマスクされていない領域において上記積層膜を構成するCu膜がペルオキソ硫酸一水素カリウムにより効果的にエッチングでき、また、上記Cu膜のCuと上記塩酸が反応し、それによって気泡を生じながらCu膜の下層のCr又はCr合金膜が効果的にエッチングできる。

【0035】第三実施形態の薄膜トランジスタ基板の製

造方法においては、Cr膜又はCr合金膜とCu膜とを順に成膜した積層膜をエッチングして所定パターンのゲート電極5、ソース電極12、ドレイン電極14、下部パッド層16a、16bを形成する際に、エッチング剤としてペルオキソ一硫酸一水素カリウムと塩酸とを含有する水溶液からなるものを用いることにより、各積層膜を構成する銅膜のサイドエッチング量を均一とすることができるうえ、浸漬法という簡易なケミカルエッチング方法で上記積層膜を構成するCr膜又はCr合金膜と銅膜の両方を一括エッチングできるので、歩留まりが良好であり、製造工程を短縮できる。なお、上記の第一乃至第三の実施形態では、Ti膜又はTi合金膜とCu膜との積層膜、Mo膜又はMo合金膜とCu膜との積層膜、Cr膜又はCr合金膜とCu膜との積層膜をエッチングする場合について説明したが、W膜又はW合金膜とCu膜の積層膜、Ta膜又はTaN等のTa合金膜とCu膜との積層膜、TiN膜とCu膜との積層膜、Ti₂O₅膜とCu膜との積層膜などをエッチングする際に、エッチング剤としてペルオキソ一硫酸一水素カリウムを含有する水溶液を用いれば、Cu膜を選択的にエッチングでき、また、Mo膜とCu膜との積層膜をエッチングする際に、エッチング剤としてペルオキソ一硫酸一水素カリウムを含有する水溶液を用いれば、Mo膜のエッチングレートはCu膜のエッチングレートよりも小さいが、Mo膜とCu膜の両方をエッチングできる。

【0036】(第四実施形態) 次に、本発明の第四実施形態の薄膜トランジスタ基板の製造方法を説明する。図4は、本発明の第四実施形態の薄膜トランジスタ基板の製造方法により製造された薄膜トランジスタ基板の例を示す部分断面図である。この薄膜トランジスタ基板1aが、図3に示した薄膜トランジスタ基板1と異なるところは、ゲート電極5、下部パッド層16bがCu膜4から構成されており、ソース電極12、ドレイン電極14、下部パッド層16aもCu膜11から構成されている点である。第四実施形態の薄膜トランジスタ基板の製造方法が、上述の第一実施形態の薄膜トランジスタ基板の製造方法と異なるところは、ゲート電極5、下部パッド層16b形成用の膜としてCu膜4を形成し、ソース電極12、ドレイン電極14、下部パッド層16a形成用の膜としてCu膜11を形成し、これらCu膜4、11のエッチング剤としてペルオキソ一硫酸一水素カリウムを含有する水溶液からなるものを用いる点である。ここで用いるエッチング剤中のペルオキソ一硫酸一水素カリウムの濃度は、0.08乃至2.0mol/lであることが好ましい。また、上記エッチング剤は、酢酸を含有していることがCu膜へのぬれ性を向上できる点で好ましく、上記エッチング剤中のペルオキソ一硫酸一水素カリウムに対する酢酸の重量比が1.0乃至7.5wt%の範囲内になるように調整されていることが好ましい。

【0037】第四実施形態の薄膜トランジスタ基板の製

造方法においては、基板2上に成膜したCu膜4、11をエッチングして所定パターンのゲート電極5、ソース電極12、ドレイン電極14、下部パッド層16a、16bを形成する際に、エッチング剤としてペルオキソ一硫酸一水素カリウムを含有する水溶液からなるものを用いることにより、静止による浸漬法という簡易なケミカルエッチング法でCu膜4、11をエッチングでき、しかもエッチングレートの経時変化が少なく、Cu膜4、11の側面のサイドエッチング量が均一で、所望の線幅のゲート電極5、ソース電極12、ドレイン電極14、下部パッド層16a、16bを形成できるので、歩留まりが良好であり、製造工程が簡略で、製造効率を向上できる。従って、かかる構成の第四実施形態の薄膜トランジスタ基板の製造方法によれば、歩留まりの向上によるコストが低い薄膜トランジスタ基板を得ることができる。

【0038】(第五実施形態) 図11は、本発明の第五実施形態の電子機器用基板の製造方法により得られた薄膜トランジスタ基板の部分断面図である。符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部(パッド部)、dの部分は蓄積容量部(Cs部)を示している。なおこれら3つの部分は、この薄膜トランジスタ基板71が備えられる実際の液晶表示装置においては離れた箇所にあり、本来断面図を同時に示せるものではないが、図示の都合上、近接させて図示する。

【0039】まず、薄膜トランジスタ部aの部分について説明する。薄膜トランジスタ部aには、基板(基体)2上に絶縁層72を介してポリシリコンからなる半導体層73が形成され、この中央部上にゲート絶縁膜74が形成され、ゲート絶縁膜74上にゲート電極(第1の金属層)75が設けられている。ゲート電極75は、膜厚50乃至100nm程度のTi膜又はTi合金膜43と膜厚100乃至200nm程度のCu膜44から構成されている。なお、ゲート電極75は図示しないゲート配線と一体形成されている。そして、ゲート電極75上に層間絶縁膜(第1の絶縁層)76が設けられている。また、半導体層73にはソース領域73aおよびドレイン領域73bが形成され、これらソース領域73a、ドレイン領域73bに挟まれた領域がチャネル部73cとなっている。また、これらソース領域73a、ドレイン領域73bをなす半導体層は、ゲート絶縁膜74端部の下方にまで侵入する形で形成されている。

【0040】また、ソース領域73a上にソース配線(第2の金属層)77が形成され、ドレイン領域73b上にドレイン電極(第2の金属層)78が形成されている。これらソース配線77、ドレイン電極78は、膜厚50乃至100nm程度のTi膜又はTi合金膜79と膜厚100乃至200nm程度のCu膜80から構成されている。そして、全面を覆うようにバッシベーション

膜81が形成され、このパッシベーション膜81を貫通してドレン電極78に達するコンタクトホール122が形成され、このコンタクトホール122を通じてドレン電極78と接続されたITOからなる画素電極123が形成されている。また、図示を省略するが、ゲート電極75と接続されたゲート配線端部のゲート端子部において、上記コンタクトホールと同様、ゲート配線を覆うパッシベーション膜81が開口し、ITOからなるパッドがゲート配線に接続してそれぞれ設けられている。

【0041】次に、ソース配線77の端子部bに関しては、基板2上に形成した絶縁層72上に層間絶縁膜(第2の絶縁層)124が形成され、この層間絶縁膜124上にTi膜又はTi合金膜79とCu膜80とからなる下部パッド層77aが形成され、その上にはパッシベーション膜81が形成され、パッド層77aに達するコンタクトホール125が形成されている。そして、コンタクトホール125の内壁面および底面に沿ってITOからなる上部パッド層125が形成されている。このコンタクトホール125を通じて下部パッド層77aと上部パッド層126が電気的に接続されている。

【0042】次に、蓄積容量部dに関しては、基板2上に絶縁層72を介してTi膜又はTi合金膜43とCu膜44からなる容量線(第1の金属層)127が形成され、その上には層間絶縁膜(第2の絶縁層)128が形成され、さらにこの上にTi膜又はTi合金膜79とCu膜80からなる容量電極(第2の金属層)129が形成され、さらにこの上にパッシベーション膜81が形成され、容量電極129に達するコンタクトホール130が形成されている。そして、コンタクトホール130の内壁面および底面に沿ってITOからなる層131が形成されている。このコンタクトホール130を通じて層131と容量電極129が電気的に接続されている。

【0043】図11に示したような電子機器用基板71に備えられるゲート電極(第1の金属層)75、容量線(第1の金属層)127は、スパッタ法、フォトリソグラフィー法により形成できるが、その際、Ti膜又はTi合金膜43とCu膜44とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、ペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液、あるいはペルオキソ硫酸塩とフッ化物とを含有する水溶液からなるエッティング剤を用いてTi膜又はTi合金膜43とCu膜44との積層膜をエッティングすることにより、上記所定パターンのゲート電極(第1の金属層)75、容量線(第1の金属層)127が得られる。また、ソース配線(第2の金属層)77、ドレン電極(第2の金属層)78、下部パッド層(第2の金属層)77a、容量電極(第2の金属層)129はスパッタ法、フォトリソグラフィー法により形成できるが、その際、Ti膜又はTi合金膜79とCu膜80とを順次成膜した積層膜の表面に所定パターンのマスクを形成し、ペルオ

キソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液、あるいはペルオキソ硫酸塩とフッ化物とを含有する水溶液からなるエッティング剤を用いてTi膜又はTi合金膜79とCu膜80との積層膜をエッティングすることにより、上記所定パターンのソース配線(第2の金属層)77、ドレン電極(第2の金属層)78、下部パッド層(第2の金属層)77a、容量電極(第2の金属層)129が得られる。

【0044】第五実施形態の電子機器用基板の製造方法によれば、Ti膜又はTi合金膜43とCu膜44との積層膜や、Ti膜又はTi合金膜79とCu膜80との積層膜をエッティング残査なく一括エッティングでき、所望の線幅のゲート電極(第1の金属層)75、容量線(第1の金属層)127、ソース配線(第2の金属層)77、ドレン電極(第2の金属層)78、下部パッド層(第2の金属層)77a、容量電極(第2の金属層)129を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できる。

【0045】図5は、本発明の実施形態の薄膜トランジスタ基板の製造方法により製造された薄膜トランジスタ基板が備えられた反射型液晶表示装置の一例を示す概略図である。この反射型液晶表示装置(電子機器)は、液晶層59を挟んで対向する上側および下側のガラス基板51、52の上側ガラス基板51の内面側に上側透明電極層55、上側配向膜57が上側ガラス基板51側から順に設けられ、下側ガラス基板52の内面側に下側透明電極層56、下側配向膜58が下側ガラス基板52側から順に設けられている。液晶層59は、上側と下側の配向膜57、58間に配設されている。上側ガラス基板51の外側には上側偏光板60が設けられ、下側ガラス基板52の外側には下側偏光板61が設けられ、さらに下側偏光板61の外側に反射板62が、反射膜64の凹凸面65を下側偏光板61側に向けて取り付けられている。反射板62は、例えば、表面にランダムな凹凸面が形成されたポリエチルフィルム63の凹凸面上にAlや銀などからなる金属反射膜64を蒸着等で成膜することにより形成されており、表面にランダムな凹凸面65を有しているものである。

【0046】この反射型液晶表示装置においては、下側ガラス基板52が上記第一乃至第五のいずれかの薄膜トランジスタ基板の製造方法に適用して製造された薄膜トランジスタ基板の基板2、下側透明電極層56がITO層(画素電極)19に相当する。この反射型液晶表示装置によれば、低抵抗配線として銅配線を用いた薄膜トランジスタ基板1aあるいは銅膜を有する積層配線を用いた薄膜トランジスタ基板1が備えられているので、配線抵抗に起因する信号電圧低下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置を容易に実現できるという利点がある。

【0047】

【実施例】以下、本発明を実施例により具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

(実験例1) エッティング剤として、オキソソ（商品名：アルドリッヂ社製、 $2\text{KHSO}_5 \cdot \text{KHSO}_4 \cdot \text{K}_2\text{SO}_4$ が含まれる水溶液）水溶液と、過硫酸アンモニウム $[(\text{NH}_4)_2\text{S}_2\text{O}_8]$ 水溶液の2種類を用意し、各エッティング剤を用いて Cu 膜をエッティングしたときの Cu エッティング速度のモル濃度依存性について以下のようにして調べた。ガラス基板の表面に膜厚 300 nm の Cu 膜を形成した試験片を作製し、この試験片をモル濃度を変更したエッティング剤を用いてエッティングしたときのエッティング速度を測定した。その結果を図6に示す。図6に示した結果からオキソソからなる実施例のエッティング剤を用いた場合のエッティングレートは、過硫酸アンモニウム水溶液からなる比較例のエッティング剤を用いる場合とほぼ同様のエッティングレートが得られていることから、実施例のエッティング剤は Cu 膜のエッティング剤として使用できることがわかる。

【0048】(実験例2) 上記実験例1で用いたものと同様のオキソソ水溶液からなる実施例のエッティング剤と、過硫酸アンモニウム水溶液からなる比較例のエッティング剤を用意し、各エッティング剤を用いて上記試験片をエッティングしたときの Cu 膜の膜厚分布を調べた。ここでの試験片の表面には、所定のパターン（目標配線幅 $200\text{ }\mu\text{m}$ ）を有するマスクパターンを配置した。結果を図7に示す。図7中、横軸が基板上の膜厚測定位置 (μm)、縦軸がデプスプロファイル（膜厚）である。図7中、鎖線は比較例のエッティング剤を用いた場合の結果、実線は実施例のエッティング剤を用いた場合の結果である。図7に示した結果から比較例のエッティング剤を用いる場合、 Cu 配線以外のところに Cu 膜が残っており、マスクパターン周辺だけが異常に速くエッティングされ、エッティングが不完全であり、また、得られる Cu 配線の

幅も $160\text{ }\mu\text{m}$ 程度であり、目標配線幅より $40\text{ }\mu\text{m}$ 程度も小さく、パターン細り現象が生じていることがわかる。これに対して実施例のエッティング剤を用いる場合、マスクパターン周辺が異常に速くエッティングされる現象がなく、 Cu 配線以外の部分には Cu 膜がなく、また、得られる Cu 配線の幅もほぼ $200\text{ }\mu\text{m}$ であり、寸法精度が優れた Cu 配線が形成されていることがわかる。

【0049】(実験例3) 0.05 mol/l のオキソソ水溶液 (KHSO_5 は 0.1 mol/l) からなる実施例のエッティング剤と、 0.05 mol/l 過硫酸アンモニウム水溶液からなる比較例のエッティング剤を用意し、各エッティング剤を用いて上記試験片をエッティングしたときのエッティングレートの経時変化を調べた。結果を図8に示す。図8に示した結果から比較例のエッティング剤を用いる場合、初日から4日あたりまでのエッティングレートの経時変化が激しく、4日以上では経時変化が小さくなっていることがわかる。これに対して実施例のエッティング剤は、初日から17日あたりまでエッティングレートが変化せず、17日以上でも経時変化が小さいことがわかる。従って実験例1乃至3から、 Cu 膜のエッティング剤として、オキソソのようにペルオキソ硫酸一水素カリウム (KHSO_5) を含むようなエッティング剤を用いると、エッティングレートの経時変化がなく、 Cu 膜のサイドエッティング量を均一とすることができるので、所望の線幅の銅配線を容易に得ることができることがわかる。

【0050】(実験例4) 厚さ 50 nm の各種の下地膜 (Cr 膜、 Ti 膜、 Mo 膜、 W 膜、 TiN 膜) 上に 100 nm の Cu 膜を形成した積層膜を形成したガラス基板を 0.05 M オキソソ水溶液からなる実施例のエッティング剤 (KHSO_5 は 0.1 mol/l) に 0.5 時間浸漬したときの下地金属膜のエッティング選択性について調べた。その結果を表1に示す。

【0051】

【表1】

評価項目 Cuの下地膜 エッティング剤	エッティング選択性				
	Cr	Ti	Mo	W	TiN
0.05M オキソソ水溶液 ($\text{KHSO}_5 0.1\text{ M}$)	×	×	△	×	×

× … エッティングされない

△ … 8 nm/min (80 \AA/min)

場合、 Mo 膜が 8 nm /分でエッティングされることが分かった。なお、 300 nm の Cu 膜を用いた時、いずれの積層膜も Cu 膜は、 160 nm /分でエッティングされた。

【0053】(実験例5) ガラス基板の表面に膜厚 300 nm の Cu 単層膜をスパッタ法、フォトリソグラフィ

【0052】表1に示した結果からエッティング剤として 0.05 M オキソソ水溶液を用いる場合、 Cr 膜と Cu 膜との積層膜の Cr 膜、 Ti 膜と Cu 膜との積層膜の Ti 膜、 W 膜と Cu 膜との積層膜の W 膜、 TiN 膜と Cu 膜との積層膜の TiN 膜のいずれもエッティングされていないことがわかる。また、 Mo 膜と Cu 膜との積層膜の

一法により形成した試験片を作製し、この試験片を、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液 (HFの濃度は0.2%、 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ の濃度は2%) からなるエッティング剤を用いてエッティングする際に、エッティング剤中のHC1濃度を0%～0.5%の範囲で変更したときのCu膜のエッティング深さのHC1濃度依存性について調べた。その結果を図12に示す。図12に示した結果から、Cu单層膜を形成した試験片を、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液からなるエッティング剤を用いてエッティングした場合、HC1濃度が0.5%の場合のエッティングレートは300nm/分程度であり、HC1濃度が0%の場合のエッティングレートは130nm/分程度であり、エッティング剤中のHC1濃度 (C1-イオンの濃度) が大きくなるに従ってエッティング深さが大きくなっていることがわかる。なお、HC1に代えてKC1または $\text{NH}_4\text{C1}$ が含まれるエッティング剤を用いた場合もC1-イオンの濃度が大きくなるに従ってエッティング深さが大きくなつた。以上のことからペルオキソ硫酸塩とフッ酸と塩酸もしくは塩化物とを含有する水溶液からなるエッティング剤中のC1濃度が大きくなると、Cu单層膜のエッティングレートを大きくできることがわかる。

【0054】(実験例6) ガラス基板の表面に膜厚50nmのTi单層膜をスパッタ法、フォトリソグラフィー法により形成した試験片を作製し、この試験片を、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液 (HFの濃度は0.2%、 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ の濃度は2%) からなるエッティング剤を用いてエッティングする際に、エッティング剤中のHC1濃度を0%～0.5%の範囲で変更したときのTi单層膜のエッティングオフ時間 (エッティングが終了するまでの時間) のHC1濃度依存性について調べた。その結果を図13に示す。図13に示した結果から、Ti单層膜を形成した試験片を、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液からなるエッティング剤を用いてエッティングした場合、HC1濃度を変更してもエッティングオフ時間はほとんど変化していないことから、エッティングレートはほぼ一定であることがわかる。それは、Ti单層膜からなる配線をスパッタ法、フォトリソグラフィー法により形成する場合、配線の表面に2～5nm程度のTiOx膜が生成してしまい、このTiOx膜はエッティングし難いため、エッティングレートが低くなってしまうからである。

【0055】(実験例7) ガラス基板の表面に膜厚50nmのTi膜(下地層)と膜厚100nmのCu膜とかなる積層膜をスパッタ法、フォトリソグラフィー法により形成した試験片を作製し、この試験片を、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液 (HFの濃度は0.2%、 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ の濃

度は2%) からなるエッティング剤を用いてエッティングする際に、エッティング剤中のHC1濃度を0%～0.5%の範囲で変更したときのTi膜とCu膜の積層膜のエッティングオフ時間 (エッティングが終了するまでの時間) のHC1濃度依存性について調べた。その結果を図14に示す。なお、ここで形成した積層膜のTi膜とこれの上層のCu膜は、空気中に曝露されることなくスパッタ法により連続成膜したものである。図14に示した結果からTi膜とCu膜からなる積層膜を形成した試験片をHFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液からなるエッティング剤を用いてエッティングする場合、エッティング剤中のHC1濃度 (C1-イオンの濃度) が大きくなるに従ってエッティングオフ時間が短くなつており、エッティングレートが高いことがわかる。

【0056】図12乃至図14に示した結果からエッティング剤中のHC1濃度が0.1%の場合、Cu单層膜を100nmの深さまでエッティングするのに約24秒程度かかるつており、また、厚さ50nmのTi单層膜を形成した試験片のエッティングオフ時間は約90秒かかるつてのに対して、厚さ50nmのTi膜と厚さ100nmのCu膜を連続成膜して積層膜を形成した試験片のエッティングオフ時間は約30秒であることから、HFと過硫酸アンモニウム [$(\text{NH}_4)_2\text{S}_2\text{O}_8$] と HC1 を含む水溶液は、Ti单層膜をエッティングするときよりもTi膜とCu膜の積層膜をエッティングするときのエッティングオフ時間を大幅に短くでき、Cu单層膜をエッティングする場合に近いエッティングレートでエッティングできることがわかる。それは、Ti膜とCu膜を連続成膜する場合は、Cu膜形成前に空気中に曝露せしめず、Ti膜の表面にTiOx膜が生成されないため、短時間でエッティングできるからである。従つて、HFと過硫酸アンモニウムと HC1 を含む水溶液は、Ti膜とCu膜の積層膜のエッティング剤として用いること、上記積層膜をエッティング残査なく一括エッティングでき、所望の線幅の積層配線を精度良く形成できるので、製造工程の簡略化ができるうえ歩留まりを向上できることがわかる。

【0057】(実験例8) ガラス基板の表面に膜厚50nmのTi膜(下地層)と膜厚100nmのCu膜とかなる積層膜をスパッタ法、フォトリソグラフィー法により形成した試験片を作製し、この試験片を、KF又は NH_4F と、3%のオキソソル(商品名:アルドリッヂ社製、 $2\text{KHSO}_5 \cdot \text{KHSO}_4 \cdot \text{K}_2\text{SO}_4$ が含まれる水溶液)とを含む水溶液からなるエッティング剤を用いてエッティングする際に、エッティング剤中のKF又は NH_4F 濃度を0%～0.5%の範囲で変更したときのTi膜とCu膜の積層膜のエッティングオフ時間 (エッティングが終了するまでの時間) のKFまたは NH_4F 濃度依存性について調べた。その結果を図15に示す。なお、ここで形成した積層膜のTi膜とこれの上層のCu膜は、空気

中に曝露されることなくスパッタ法により連続成膜したものである。図15に示した結果からTi膜とCu膜からなる積層膜を形成した試験片はKF又はNH₄Fと3%のオキソンとを含む水溶液からなるエッティング剤を用いてエッティングすることができ、また、このエッティング剤中のKFまたはNH₄F濃度(F⁻イオンの濃度)が大きくなるに従ってエッティングオフ時間が短くなっている、エッティング残査がないうえエッティングレートが高いことがわかる。また、エッティング剤中にHFが含まれていなくても、エッティング剤にペルオキソ硫酸塩以外にF⁻イオンが含まれていれば、Ti膜とCu膜の積層膜を一括エッティングできることがわかる。

【0058】(実験例9)ガラス基板の表面に膜厚300nmのCu単層膜をスパッタ法、フォトリソグラフィー法により形成した試験片を作製し、この試験片を、KF又はHFと、3%のオキソン(商品名:アルドリッヂ社製、2KHSO₅・KHSO₄・K₂SO₄が含まれる水溶液)からなるエッティング剤を用いてエッティングする際に、エッティング剤中のKFの濃度を0.1%~0.5%を変更したときと、KFに代えて0.2%のHFを用いたときのエッティング時間とCu単層膜のエッティング深さとの関係について調べた。その結果を図16に示す。図16に示した結果から、Cu単層膜を形成した試験片をエッティングする場合、エッティング剤中にKFが含まれている場合の方が、HFが含まれている場合よりもエッティングレートが高いことがわかる。また、エッティング剤中のKF濃度が0.5%の場合の方が、KF濃度が0.1%の場合よりもエッティングレートが高くなっていることから、KF濃度(F⁻イオンの濃度)が大きい方がエッティング効率が良好であることがわかる。なお、エッティング剤中にHFが含まれている場合は、KFが含まれている場合に比べてエッティングレートは低いが、制御はし易いことがわかる。

【0059】

【発明の効果】以上詳細に説明した通り本発明の銅のエッティング剤は、ペルオキソ硫酸一水素カリウムを含有する水溶液からなるものであるので、静止による浸漬法という簡易なケミカルエッティング法でCu膜をエッティングでき、しかもエッティングレートの経時変化がなく、Cu膜のサイドエッティング量が均一であるので、所望の線幅の銅配線を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明の電子機器用基板の製造方法の第一実施形態の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。

【図2】本発明の電子機器用基板の製造方法の第一実施形態の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。

【図3】本発明の第一実施形態の電子機器用基板の製造方法により得られた薄膜トランジスタ基板の部分断面

図である。

【図4】本発明の第四実施形態の薄膜トランジスタ基板の製造方法により製造された薄膜トランジスタ基板の部分断面図である。

【図5】本発明の第一乃至第五のいずれかの実施形態の薄膜トランジスタ基板により製造された薄膜トランジスタ基板を有する反射型液晶表示装置の一例を示す概略図である。

【図6】実施例と比較例のエッティング剤を用いてCu膜をエッティングしたときのCuエッティング速度のモル濃度依存性を示す図である。

【図7】実施例と比較例のエッティング剤を用いてCu膜をエッティングしたときのCu膜の膜厚分布を示す図である。

【図8】実施例と比較例のエッティング剤を用いてCu膜をエッティングしたときのエッティングレートの経時変化を示す図である。

【図9】一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部分を示す概略図である。

【図10】従来の電子機器用基板の製造方法を工程順に示した概略図である。

【図11】本発明の第五実施形態の電子機器用基板の製造方法により得られた薄膜トランジスタ基板の部分断面図である。

【図12】エッティング剤中のHCl濃度を0%~0.5%の範囲で変更したときのCu単層膜のエッティング深さのHCl濃度依存性を示すグラフである。

【図13】エッティング剤中のHCl濃度を0%~0.5%の範囲で変更したときのTi単層膜のエッティングオフ時間のHCl濃度依存性を示すグラフである。

【図14】エッティング剤中のHCl濃度を0%~0.5%の範囲で変更したときのTi膜とCu膜の積層膜のエッティングオフ時間のHCl濃度依存性を示すグラフである。

【図15】エッティング剤中のKF又はNH₄F濃度を0%~0.5%の範囲で変更したときのTi膜とCu膜の積層膜のエッティングオフ時間のKFまたはNH₄F濃度依存性を示すグラフである。

【図16】エッティング剤中のKFの濃度を0.1%~0.5%を変更したときと、KFに代えて0.2%のHFを用いたときのエッティング時間とCu単層膜のエッティング深さとの関係を示すグラフである。

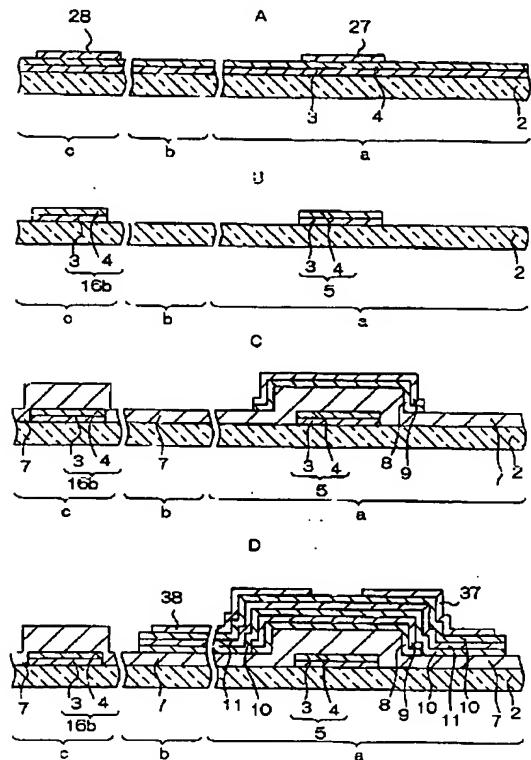
【符号の説明】

1、1a、71 薄膜トランジスタ基板(電子機器用基板)、2 基板(基体)、3、43、79 Ti膜又はTi合金膜、4、44、80 Cu膜、5 ゲート電極(積層配線)、10 Ti膜又はTi合金膜、11 Cu膜、12 ソース電極(積層配線)、14 ドレイン電極(積層配線)、16a、16b 下部パッド層(積層配線)、27, 28 マスクパター

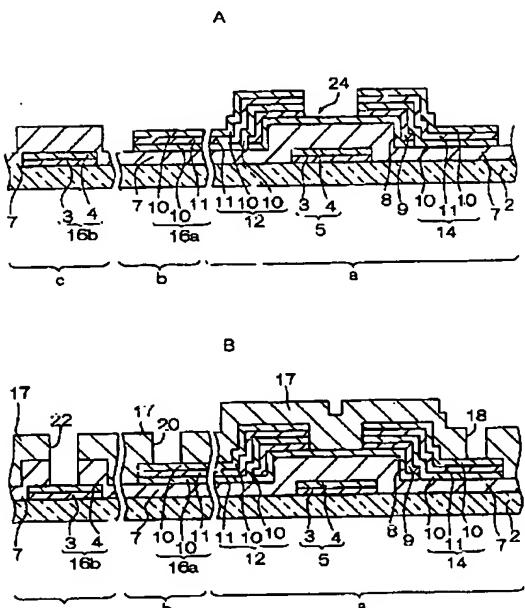
ン（マスク）、37、38 マスクパターン（マスク）、52 ガラス基板、73 半導体層、75 ゲート電極（第1の金属層）、76 層間絶縁膜（第1の絶縁層）、77 ソース配線（第2の金属層）、77a 下部パッド層（第2の金属層）、78 ドレ

イン電極（第2の金属層）、124 層間絶縁膜（第2の絶縁層）、127 容量線（第1の金属層）、129 容量電極（第2の金属層）、128 層間絶縁膜（第2の絶縁層）。

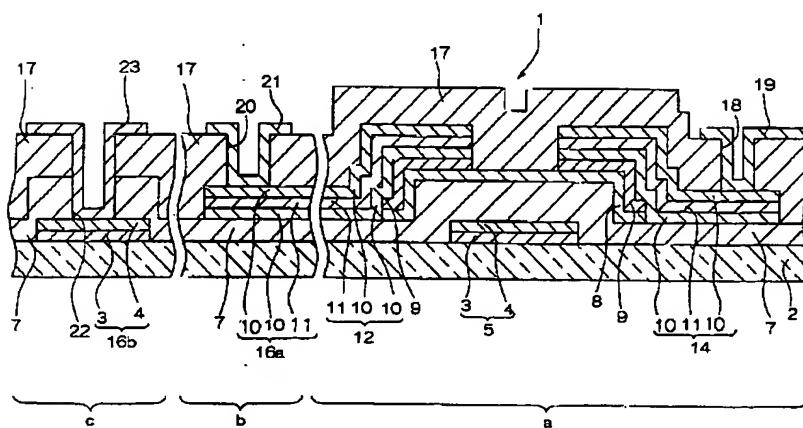
【図1】



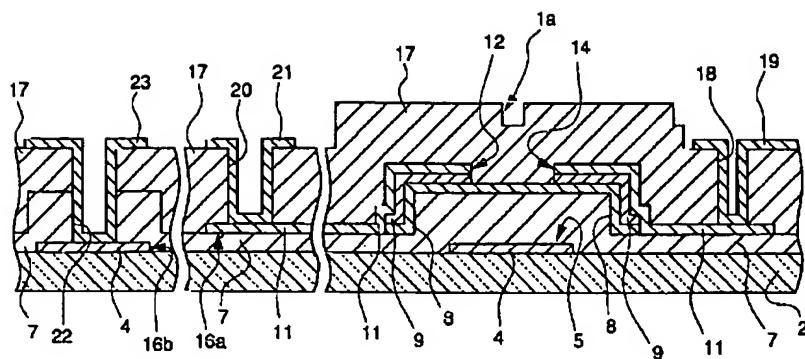
【図2】



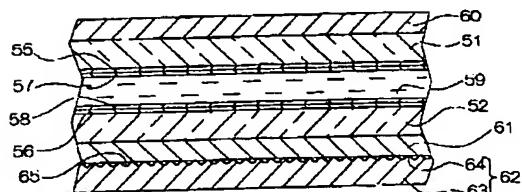
【図3】



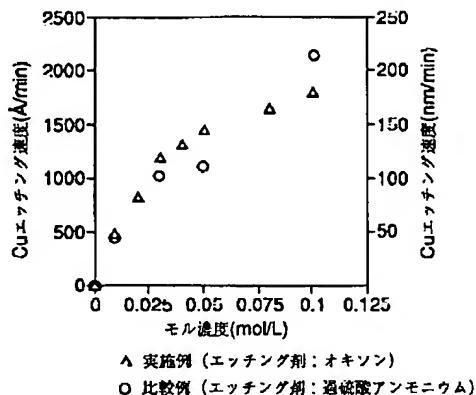
【図4】



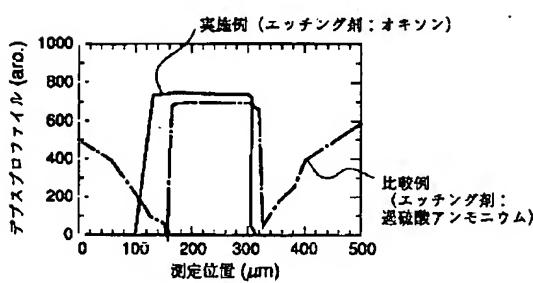
【図5】



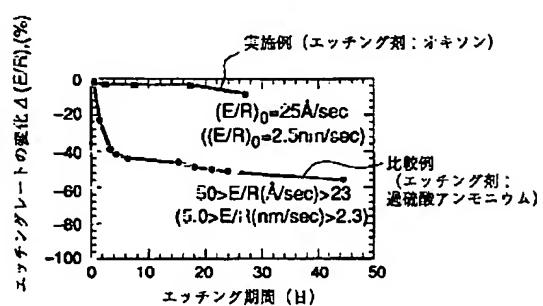
【図6】



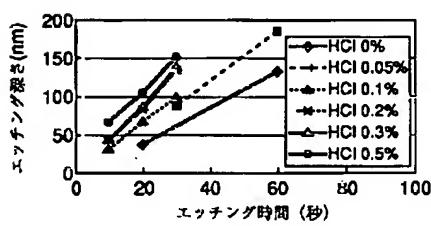
【図7】



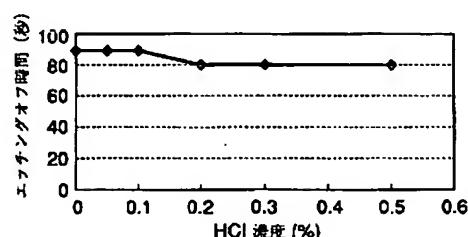
【図8】



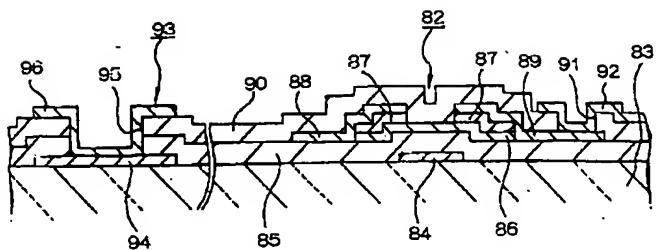
【図12】



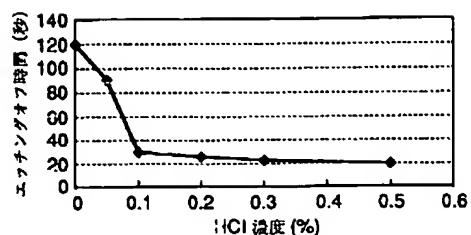
【図13】



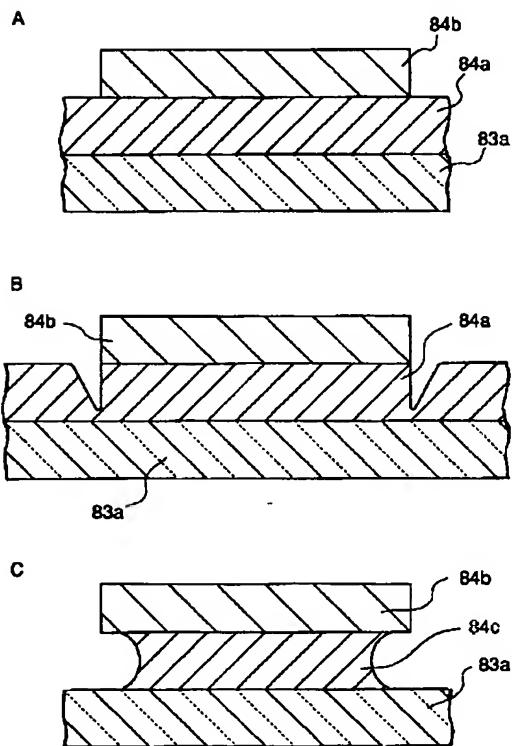
【図9】



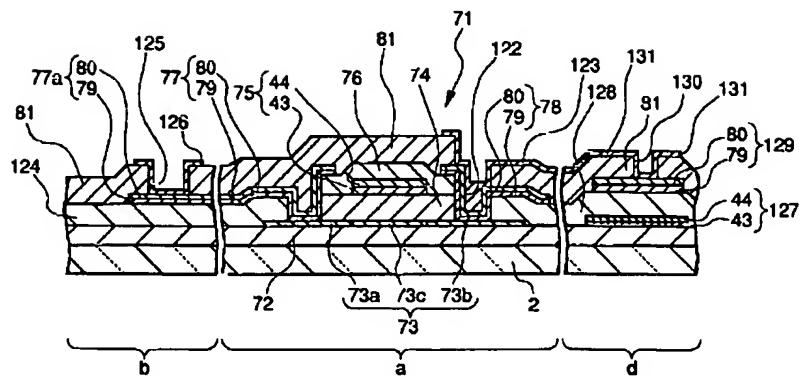
【図14】



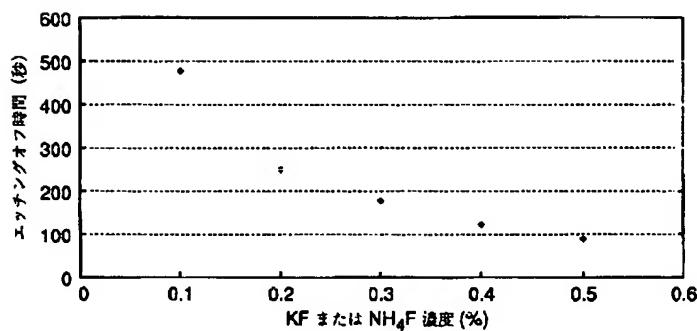
【図10】



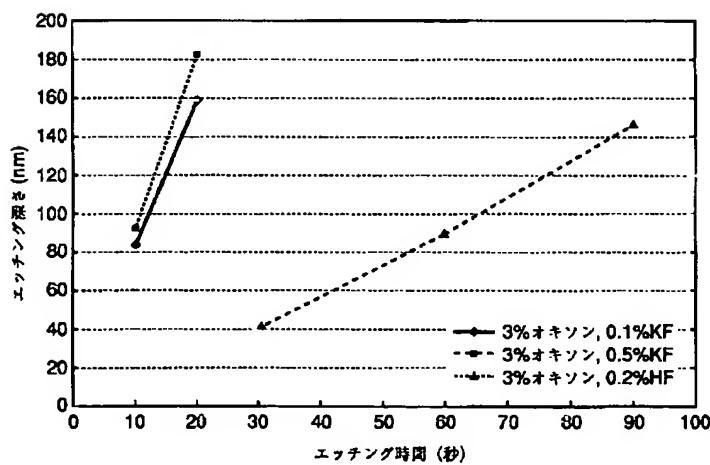
【図11】



【図15】



【図16】



フロントページの続き

(51) Int.C1. ⁷	識別記号	F I	(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 U
21/336			6 1 7 L
			6 2 7 C

F ターム(参考) 4K057 WA11 WA12 WB04 WB08 WB15
 WB20 WE03 WE07 WE08 WE12
 WG01 WG03 WJ03 WM03 WN01
 WN02
 5F033 HH11 HH18 HH19 HH20 HH21
 HH32 HH33 MM05 MM08 QQ08
 QQ10 QQ20 VV06 VV15 WW04
 XX00 XX34
 5F043 AA26 AA27 BB18 DD16 DD30
 GG02 GG04
 5F110 AA26 BB01 CC01 CC07 DD02
 EE02 EE04 EE06 EE14 EE44
 FF29 GG02 GG13 GG15 HK25
 HL02 HL04 HL06 HL12 NN01
 NN23 NN24 NN72 QQ05